

SPECIFICATION

TITLE OF THE INVENTION

VOLTAGE CONTROLLED OSCILLATOR AND PLL CIRCUIT
USING THE SAME

BACKGROUND OF THE INVENTION

本発明は、半導体集積回路チップの内部で使用するクロック信号を発生させるためのPLL（フェーズロックドループ）回路と、そのPLL回路の構成要素の1つである電圧制御発振器に関し、特に、電源電圧変動によって発生するジッタを低減するための回路に関する。

従来の電圧制御発振器の一例を図2に示す。この回路は、1998年2月7日に開催されたISSCC（International Solid-State Circuits Conference）の予稿集397ページに記載された回路である。この回路は、参照符号VCCOで示されたノードと参照符号VSSAで示された電源の間にある3段のインバータによって発振器が構成され、参照符号M2で示されたMOSトランジスタのゲート電圧を制御することにより、上記発振器の発振周波数を制御するようになっている。またこの回路は、外部から加えられる電源VDDAとVSSAの間の電源電圧が変動しても、上記発振器の発振周波数が直ちに変動しないように、参照符号Cで示されたコンデンサを設けてVCCOのノードとVSSAの電源の間の電圧の変動を遅らせている。これにより、電源電圧変動によって発生するジッタを低減している。

また、従来の電圧制御発振器の他の例を図3に示す。この回路は、特開平11-15541号公報の明細書において開示された回路であり、同明細書の図3と図6を組み合わせた回路である。この回路は、参照符号150で示したアナログの制御信号による粗調整と、参照符号151で示したデジタルの制御信号による微調整によって発振周波数を制御している。またこの回路は、外部から加えられる電源VddとVssの間の電源電圧が変動しても、発振周波数が直ちに変わらないように、コンデンサ120を設けて、ノード350とVddの電源の間の電圧の変動を遅らせている。これにより、電源電圧変動によって発生するジッタを低減している。

SUMMARY OF THE INVENTION

図2の回路では、上記文献の396ページにも記載されているように、参照符号Cで示されたコンデンサの容量値をあまり大きくすると制御の安定性が保てなくなる。したがってこの容量値を極力大きくしてジッタを極力低減するという事は難しい。

図3の回路では、発振周波数を制御するためのMOSトランジスタ321～325および331～335と電源電圧変動に対する安定化のためのMOSトランジスタ340が別々に設けられるため、電源V_{dd}とV_{ss}の間には直列に5個のMOSトランジスタ（例えば、331、311、301、321、340）が接続される。したがって、その一つひとつにかけられる電圧が低くなる。ところが、MOSトランジスタ340にかける電圧が低くなると、このMOSトランジスタが飽和状態（ドレインソース間電圧が変化しても電流が殆ど変化しない状態）で動作する範囲が狭くなり、したがって電源電圧変動を許容できる変動幅が小さくなる。電源電圧変動の許容範囲を確保するためにMOSトランジスタ340にかける電圧を高くすると、ノード350とV_{dd}の電源の間の電圧（すなわち発振器にかける電圧）が低くなり、上限発振周波数が低くなる。

本発明が解決しようとする課題の1つは、電圧制御発振器の発振出力において、電源電圧が変動したときに生じるジッタを低減することにある。

本発明が解決しようとする課題の他の1つは、PLL回路の発振出力において、電源電圧が変動したときに生じるジッタを低減することにある。

本発明が解決しようとする課題の他の1つは、半導体集積回路装置のクロック信号において、電源電圧が変動したときに生じるジッタを低減することにある。

本発明の課題の1つは、一端を第1の電源に接続されたMOSトランジスタと、上記MOSトランジスタの他端と第2の電源の間に並列に接続された発振器および容量素子を備え、上記MOSトランジスタのゲート電圧を制御することによって上記発振器の発振周波数を制御するように構成された電圧制御発振器において、上記MOSトランジスタとは別に上記発振器の発振周波数を制御する第2の手段を備えることにより解決できる。

また、本発明の課題の他の1つは、上記のような電圧制御発振器を用いてPLL回路を構成することにより解決できる。

また、本発明の課題の他の１つは、上記のようなPLL回路を用いて半導体集積回路装置を構成することにより解決できる。

BRIEF DESCRIPTION OF THE DRAWINGS

- 図１は本発明の電圧制御発振器の実施例の１つを示す回路図、
図２は従来の電圧制御発振器の１つを示す回路図、
図３は従来の電圧制御発振器の他の１つを示す回路図、
図４は図１の実施例中のレベルシフト回路の回路図、
図５は図１の実施例に用いることができるレベルシフト回路の変形例の１つを示す回路図、
図６は本発明の電圧制御発振器の他の実施例の１つを示す回路図、
図７は本発明の電圧制御発振器のさらに他の実施例の１つを示す回路図、
図８は本発明のPLL回路の実施例の１つを示す回路図、
図９は図８の実施例中のデジタル制御回路の回路図、
図１０は図８の実施例中のチャージポンプの回路図、
図１１は図８の実施例に用いることができるチャージポンプの変形例の１つを示す回路図、
図１２は図８の実施例中の位相比較器の回路図、
図１３は図８の実施例中の周波数比較器の回路図、
図１４は本発明の半導体集積回路装置の実施例の１つを示す配置図である。

DESCRIPTION OF THE PREFERRED EMBODIMENTS

本発明による電圧制御発振器の実施例の一つを図１に示す。図１において、参照符号１００～１０３はNチャネル型のMOSトランジスタ（以下NMOSと称する）、１１１～１１５はPチャネル型のMOSトランジスタ（以下PMOSと称する）、１２０～１２２は容量素子、１３１はバッファ回路、１３２はレベルシフト回路を示す。また、参照符号V_{dd}は高電位側の電源およびその端子、V_{ss}は低電位側の電源およびその端子、１５０はアナログの制御信号およびその入力端子、１５１はデジタルの制御信号およびその入力端子、１６０は発振出力およびその出力端子、１７０～１

74は内部信号およびそのノードを示す。

なお、上記の容量素子120～122は、PMOSまたはNMOSのソース電極およびドレイン電極とゲート電極の間の容量を使って構成すれば、比較的小さな面積で実現することができる。また、バッファ回路131を構成するNMOSやNMOS101～103のバックバイアス電圧としては、170のノードの電圧をかける。

この回路は、NMOS101～103およびPMOS111～113の部分、すなわち参照符号130で示した部分が発振器となる。この発振器は、NMOS101およびPMOS111、NMOS102およびPMOS112、NMOS103およびPMOS113がそれぞれインバータを構成し、この3個のインバータの出力と入力を順次接続した、いわゆるリングオシレータと呼ばれる構成である。

この発振器の発振周波数は、アナログの制御信号150による粗調整と、デジタルの制御信号151による微調整によって制御する。

アナログの制御信号150による粗調整は、NMOS100に流れる電流を制御することによって行なう。例えば制御信号150の電圧を高くすると、NMOS100に流れる電流が増加し、ノード170の電圧が下がり、電源V_{dd}とノード170の間の電圧、すなわち発振器130にかかる電圧が高くなる。すると、この発振器の発振周波数は高くなる。制御信号150の電圧を低くすると、上記の逆の作用で、この発振器の発振周波数は低くなる。

なお、NMOS100は発振器130に流れる電流とバッファ回路131に流れる電流の両方を流すため、大きな電流を流せるようにする必要がある。また、後述のようにNMOS100は飽和状態（ドレイン電極とソース電極の間の電圧の変化に対して、MOSを流れる電流が殆ど変化しない状態）にするのが望ましい。そこで、NMOS100は多数のNMOSを並列に接続して、そのゲート幅の総和がNMOS101～103等のゲート幅よりはるかに大きく（例えば100倍以上に）なるように構成する。

デジタルの制御信号151による微調整は、発振器の内部信号であるノード171に付加される負荷の重さを制御することによって行なう。PMOS115は常に導通するため、ノード171と174は常に接続されている。したがって、制御信号151が例えばローレベルの場合、PMOS114は導通するため、容量素子121がノ

ード174や171に接続される。

すると、ノード171に付加される負荷は容量素子121の分だけ重くなる。制御信号151がハイレベルの場合、PMOS114が遮断し、ノード171に付加される負荷は容量素子121の分だけ軽くなる。したがって、制御信号151がローレベルのときには発振周波数が低く、ハイレベルのときには高くなる。

この制御信号151による発振周波数の変化量は、容量素子121の容量値によって変えられる。なおPMOS115は無くても同じように動作するが、この実施例では、制御信号151が変化したときにノード174に誘起されるカップリングノイズがノード171に与える影響を低減するために上記PMOS115を設けてある。

つぎに、 V_{dd} と V_{ss} の間の電源電圧が変化したときの動作を説明する。ただし、容量素子120の容量値は充分大きいとする。また、NMOS100のゲート幅（複数のNMOSで構成した場合にはそのゲート幅の総和）は充分に大きく、飽和状態にあるとする。

電源電圧が変化した直後には、容量素子120の容量値が大きいため発振器130にかかる電圧は殆ど変化しない。したがって、NMOS100にかかる電圧が電源電圧の変化幅とほぼ同じだけ変化するが、その変化した後の電圧もNMOS100が飽和状態となる範囲であれば、NMOS100に流れる電流は電源電圧の変化の前後で殆ど変わらない。そして、そのわずかな電流変化分の殆どは容量素子120の充放電によって補われ、発振器130に流れる電流やバッファ回路131に流れる電流の変化はさらに小さい。したがって、電源電圧が急に変化しても、NMOS100が飽和状態となる範囲であれば、その直後の発振周波数は殆ど変化しない。

つぎに、電源電圧が変化してから少し時間が経過した後の動作を説明する。NMOS100が飽和状態であっても、NMOS100にかかる電圧が変化すれば、NMOS100に流れる電流が若干は変化する。そしてその変化分の殆どは容量素子120の充放電によって補われるが、そのときに容量素子120にかかる電圧が若干変化する。容量素子120にかかる電圧はすなわち発振器130にかかる電圧であり、その変化によって発振周波数が若干変化する。

ところが、この電圧制御発振器をPLL回路等に使った場合、その発振周波数の変化は大きくならないうちに検出される。すると、その結果を直ちに制御信号151に

反映して、発振周波数を補正することができる。

定常状態にあるときには、制御信号 1 5 1 がハイレベルの状態とローレベルの状態をほぼ同じ頻度で繰り返すことにより発振周波数の平均値を所定の周波数に保つが、電源電圧が変化してから少し経過した後は、制御信号 1 5 1 がハイレベルの状態とローレベルの状態の頻度を変えることにより、発振周波数の平均値が所定の周波数となるように制御することができる。

そして、電源電圧が変化してからさらに時間が経過すると、制御信号 1 5 1 のハイレベルとローレベルの頻度の差を基に、制御信号 1 5 0 の電圧を少しずつ変化させていくことができる。そして、制御信号 1 5 0 が変化して、NMOS 1 0 0 に流れる電流が電源電圧の変化する直前の電流値に等しくなるような電圧になったとき、容量素子 1 2 0 の充放電による補充は無くなる。以後、制御信号 1 5 0 の変化が若干行きすぎて戻るような振動を繰り返しながら、最終的には発振器 1 3 0 や容量素子 1 2 0 にかかる電圧は最初の電圧に戻る。

なお、容量素子 1 2 2 は、制御信号 1 5 0 の電圧をわずかずつ変化させるためと、クロストークノイズ等により制御信号 1 5 0 の電圧が急激に変化するのを抑えるために設けてある。

ここで、容量素子 1 2 0 の容量値が十分に大きくなるように設計しておけば、発振器 1 3 0 にかかる電圧の変化を十分に遅くすることができる。したがって、上記の一連の動作において、発振周波数が所定の周波数からずれる最大のずれ幅は、制御信号 1 5 1 による微調整の幅以下にできる。また、これら一連の動作の途中で再び電源電圧が変化した場合には、その時点から新たに上記の動作が起こる。

図 2 の従来例では、本発明の制御信号 1 5 1 による制御に相当する機構（すなわち、容量素子 1 2 0 の容量値によらず高速に制御できる機構）が設けられていない。このため、発振周波数の変化が検出された場合には、本発明の制御信号 1 5 0 による制御に相当する機構（すなわち、容量素子 1 2 0 の容量値が大きくなると制御の応答が遅くなる機構）によって補正しなければならなかった。したがって、制御の安定性を保つため、容量素子 1 2 0 に相当する容量素子の容量値を大きくできなかつた。

本発明では、容量素子 1 2 0 の容量値によらず高速に制御できる機構を設けたため、容量素子 1 2 0 の容量値を十分に大きくできる。したがって、同じ電源電圧変動が生

じた場合、発振器にかかる電圧の変動は、図2の従来例より本発明のほう小さくでき、それによるジッタを小さくできる。

また、図3の従来例では、電源電圧変動対策に使うNMOS340と発振周波数の粗調整に使うNMOS321等が電源間に直列に入っていたため、NMOS340にかけられる電圧が小さく、NMOS340が飽和状態で動作する範囲が狭かった。したがって、ジッタ低減の効果が得られる電源電圧変動の許容範囲が狭かった。本発明では、電源電圧変動対策に使うMOSと発振周波数の粗調整に使うMOSを共通の1個のNMOS100のみとしたため、NMOS100にかけられる電圧を図3の従来例より大きくできる。したがって、NMOS100が飽和状態で動作する範囲は図3の従来例より広く、ジッタ低減の効果が得られる電源電圧変動の許容範囲も広い。

すなわち、本発明によれば、図2の従来例と図3の従来例がそれぞれ持つジッタ低減効果を合わせた以上のジッタ低減効果を引き出すことができる。

図4には、図1の実施例の構成要素であるバッファ回路131およびレベルシフト回路132の具体的な構成の一実施例を示す。この図において、参照符号401～405および420～423はNMOS、411～415および431～433はPMOS、440は容量素子、441および442は抵抗素子を示す。また、参照符号450および451はバッファ回路131とレベルシフト回路132の間の信号およびそのノード、452は内部信号およびそのノードを示す。

バッファ回路131は、発振器130に大きな負荷がかからないように、発振器130からの信号173を取り出す回路である。また、この実施例のバッファ回路131は、差動信号450および451を出力するように構成してある。具体的には、NMOS401～405およびPMOS411～415による複数のインバータによって構成し、信号173が偶数段のインバータを経由して信号450に出力され、奇数段のインバータを経由して信号451に出力されるように構成してある。また、各段のインバータを構成するMOSを適当な大きさに設計することにより、差動信号450および451を位相差が概ね180度の差動信号（すなわち、一方の立ち上がりの時刻と他方の立下りの時刻がほぼ一致する差動信号）にする。

レベルシフト回路132は、電源V_{dd}の電圧と内部ノード170の電圧の間で振れる差動信号450および451を、電源V_{dd}の電圧と電源V_{ss}の電圧の間のフ

ル振幅で振れる信号160に変換する回路である。この回路は、NMOS 420～422およびPMOS 431および432によるカレントスイッチ回路とNMOS 423およびPMOS 433によるインバータで構成してある。カレントスイッチ回路によって内部信号452の信号振幅を上げると共にその中心電圧をV_{dd}の電圧とV_{ss}の電圧の中間付近に近付け、インバータでほぼフル振幅に上げるように動作する。容量素子440は、電源電圧が変動したときにNMOS 420のゲートソース間電圧が急激に変化しないようにするために設けてある。抵抗素子441および442は、NMOS 420のゲート電極に加えるバイアス電圧を発生するための抵抗分圧回路である。

図5には、レベルシフト回路132の図4以外の実施例の1つを示す。この図において、参照符号501および502はNMOS、511はPMOS、540は容量素子を示す。また、参照符号560は出力信号の1つを示す。この出力信号560は、出力信号160と共に差動の信号を構成する。

このようなレベルシフト回路132を使えば、図1の実施例の電圧制御発振器の出力を差動信号で取り出すこともできる。また、NMOS 420のゲート電極にかけるバイアス電圧は、図4のように抵抗分圧回路を使って発生させることもできるし、図5のようにNMOS 501および502およびPMOS 511で分圧する回路を使って発生させることもできる。MOSで分圧する回路を使えば、NMOS 501および502およびPMOS 511のゲート幅の比をNMOS 420のゲート幅の半分およびNMOS 421およびPMOS 431のゲート幅の比と一致するように設計することにより、出力信号160および560が電源V_{dd}とV_{ss}の電圧の中間付近で振れるようにすることが容易である。

また、容量素子540は、容量素子440と同様に電源電圧が変動したときにPMOS 431や432のゲートソース間電圧が急激に変化しないようにするために設けてある。

図6には、本発明の電圧制御発振器の図1以外の実施例の1つを示す。この図は、図1の実施例にNMOS 604および605とPMOS 614および615を付加し、発振器130の部分を5段のインバータによるリングオシレータで構成した例である。このように、リングオシレータのインバータの段数は奇数であれば原理的には

何段であってもかまわない。

インバータの段数を増やすと発振の上限周波数が下がるが、バッファ回路 131 を構成するインバータ 1 段当たりの遅延時間に対する発振周期の比が大きくなるので、バッファ回路 131 の出力を位相差が概ね 180 度の差動信号にすることが容易になる。

図 7 には、本発明の電圧制御発振器のさらに他の実施例の 1 つを示す。この図は、図 1 の実施例において、制御信号 151 により発振周波数を制御する部分に変更を加えた回路である。具体的には、PMOS 714 および 715 を加え、これらの PMOS に流れる電流が PMOS 111 に流れる電流に加勢できるような構成になっている。この加勢する電流を流すか否かは制御信号 751 により制御できるようになっているが、制御信号 751 は制御信号 151 のときと極性が逆である。すなわち、制御信号 751 がローレベルのときには上記の電流を流して発振周波数が高くなり、ハイレベルのときには発振周波数が低くなる。

図 8 には、本発明の電圧制御発振器を使って構成した PLL 回路の実施例の 1 つを示す。図 8 において、参照符号 800 は位相比較器、801 は周波数比較器、802 は分周器、803 はデジタル制御回路、804 はチャージポンプ、805 は本発明の電圧制御発振器、806 はクロック分配回路を示す。また、参照符号 870 はこの PLL 回路の出力であるクロック信号およびその出力端子、850 はクロック信号の位相基準となるリファレンス信号およびその入力端子、851～854 および 860～864 は内部信号およびそのノードを示す。

電圧制御発振器 805 の発振出力 160 が、クロック分配回路 806 を介して多数の分配先にクロック信号 870 として分配される。そのうちの 1 つが分周器 802 に入力され、信号 860 として出力される。そして、信号 860 とリファレンス信号 850 の位相と周波数が、位相比較器 800 と周波数比較器 801 によって比較され、その結果が信号 151 および 852 および 862 として出力される。ただし、位相比較器 800 に入力する信号の位相が回路の負荷ばらつき等の影響を受けないようにするため、位相比較器 800 には信号 860 とリファレンス信号 850 を直接入力し、周波数比較器 801 にはバッファを通した信号 861 および 851 を入力する。また、信号 861 より信号 851 のほうが周波数が高いときには信号 852 がハイレベル

になり、信号 851 より信号 861 のほうが周波数が高いときには信号 862 がハイレベルになるように周波数比較器 801 を構成しておく。

これらの比較結果は、デジタル制御回路 803 に入力される。デジタル制御回路 803 は、バッファを通したリファレンス信号 851 に同期して動くデジタル回路であり、上記の比較結果を基にチャージポンプ 804 を駆動する信号 853 および 854 および 863 および 864 を生成する。チャージポンプ 804 は、これらの信号に駆動されて、端子 150 に電荷を送り込んだり端子 150 から電荷を引き出したりする回路である。

その結果、電圧制御発振器 805 の入力端子 150 に接続された容量素子 122 (図 1 参照) に蓄積された電荷量に変化し、制御信号 150 の電圧が変化する。この制御信号 150 と、位相比較器 800 から直接供給される制御信号 151 により、電圧制御発振器 805 の発振周波数が制御される。その結果がまた分周器 802 を介して信号 860 にフィードバックされ、最終的には信号 860 とリファレンス信号 850 の周波数と位相が一致する。

図 9 には、図 8 の実施例の構成要素であるデジタル制御回路 803 の具体的な構成の実施例の 1 つを示す。この図において、参照符号 900～902 はエッジトリガ型のフリップフロップ、903 はセットリセット型のフリップフロップ、904 は 2 ビットカウンタ、905 は OR 回路、906 および 910 および 911 は AND 回路、907 は複数かつ奇数のインバータ、908 は NOR 回路、909 はインバータを示す。また、参照符号 950～952 は内部信号およびそのノードを示す。このうち、2 ビットカウンタ 904 は、バッファを通したリファレンス信号 851 にパルスが加わるごとにカウントが進み、信号 950 がハイレベルになるとリセットされるように構成する。

つぎに、この回路の動作を説明する。フリップフロップ 900～902 は、バッファを通したリファレンス信号 851 に同期して、比較器 800、801 の出力である信号 151 および 852 および 862 を取り込むために設けてある。そして、周波数比較結果を示す信号 852 または 862 がハイレベルのときには、その信号がノード 853 または 863 に出力されると共に、内部信号 950 がハイレベルになる。すると、フリップフロップ 903 がリセットされて内部信号 951 がローレベルになり、

ノード 8 5 4 および 8 6 4 に出力される信号が共にローレベルになる。また、この時 2 ビットカウンタ 9 0 4 のカウントもリセットされる。

周波数比較結果を示す信号 8 5 2 および 8 6 2 が共にローレベルになると、ノード 8 5 3 および 8 6 3 に出力される信号がローレベルになると共に、内部信号 9 5 0 がローレベルになって信号 8 5 1 にパルスが加わるごとに 2 ビットカウンタ 9 0 4 のカウントが進む。そして 4 カウント進む間に信号 8 5 2 および 8 6 2 が一度もハイレベルにならなければ、フリップフロップ 9 0 3 がセットされて内部信号 9 5 1 がハイレベルになる。一方、内部信号 9 5 2 には、インバータ 9 0 7 の遅延時間の総和で決まるパルス幅のパルスが、ノード 8 5 1 にパルスが加わるごとに現れる。すると、位相比較結果を表す信号 1 5 1 によって決まるノード 8 5 4 または 8 6 4 のいずれかの信号が、内部信号 9 5 2 に現れるパルス信号のパルス幅の間だけハイレベルになる。

以上、このデジタル制御回路の動作をまとめると、以下のようになる。周波数比較結果を示す信号 8 5 2 または 8 6 2 のいずれかがハイレベルのときには、そのいずれかに応じて信号 8 5 3 または 8 6 3 がハイレベルになると共に、信号 8 5 4 および 8 6 4 が両方ともローレベルになる。周波数比較結果を示す信号 8 5 2 および 8 6 2 の両方がローレベルの状態が 4 サイクル以上続くと、位相比較結果を示す信号 1 5 1 に応じてノード 8 5 4 または 8 6 4 のいずれかにパルスが出力される。

ここで、周波数比較結果に基づいて出力される信号 8 5 3 および 8 6 3 と位相比較結果に基づいて出力される信号 8 5 4 および 8 6 4 とを分離した目的は、周波数が一致していないときには大きな制御をかけて速く収束させると共に、周波数が一致して位相だけがずれているときには制御量を小さくして大きなジッタが発生しないようにするためである。そのため、別々の信号を使って制御する。

また、周波数比較結果に基づいて出力される信号 8 5 3 および 8 6 3 は 1 サイクルの間ハイレベルを保つのに対し、位相比較結果に基づいて出力される信号 8 5 4 および 8 6 4 はパルスとなるように構成した。これにより、制御をかける時間も変えることができる。

また、2 ビットカウンタ 9 0 4 を設けた目的は、周波数比較結果が出力されなくなった直後に位相比較結果に基づいて制御をかけるのを避けるためである。すなわち、周波数比較結果が出力されなくなった直後は正しい位相比較が行なわれない場合が

多い。このため、そのときの位相比較結果に基づいて制御をかけると逆の制御がかかる場合が多い。したがって、2ビットカウンタを設け、4サイクル待ってから位相比較結果に基づく制御を始めるように構成した。

図10には、図8の実施例の構成要素であるチャージポンプ804の具体的な構成の実施例の1つを示す。この図において、参照符号1000～1003はNMOS、1010～1013はPMOS、1020および1021は抵抗素子、1030および1031はインバータを示す。また、参照符号1050～1052は内部信号およびそのノードを示す。

この回路は、ノード853の信号がハイレベルになったときにはPMOS1013が導通してV_{dd}からノード1052に電流が流れ込み、ノード863の信号がハイレベルになったときにはNMOS1003が導通してノード1052からV_{ss}に電流が流れ出す。そしてノード1052が抵抗素子1021を介して制御信号150の端子に接続されているため、この電流が図1等にした電圧制御発振器内の容量素子122を充放電する。抵抗素子1021は、容量素子122の寄生抵抗のためにノード150の電位が一時的に上がりすぎたり下がりすぎたりするのを防止するために設けてある。

信号854または864がハイレベルになったときにも同様の充放電が行なわれる。ただし、NMOS1002およびPMOS1012に流れる電流はNMOS1001およびPMOS1011によって制限されるため、信号853または863による充放電の場合より電流値を小さくできる。そのときの電流値は、NMOS1000と1001のゲート幅の比やPMOS1010と1011のゲート幅の比の設計により、さらに抵抗素子1020の抵抗値により、かなり自由に設定することが可能である。

また、信号853または863による充放電の電流値も、NMOS1003やPMOS1013のゲート幅によってある程度自由に設定することが可能である。

少なくとも言えるのは、周波数比較器の出力による1サイクル内での制御信号150の電圧変化は、位相比較器の出力により1サイクル内での制御信号150の電圧変化より大きく設定するべきである。

なお、信号853または863による充放電の回路も信号854または864によ

る充放電の回路と同様に他のMOSで電流を制限するような構成にして、そのゲート幅等によって電流値を設定することももちろん可能である。

さらに、図9のデジタル制御回路と図10のチャージポンプの組み合わせでは周波数比較結果による制御系統（信号853または863による充放電）と位相比較結果による制御系統（信号854または864による充放電）の2つの制御系統を設けたが、これを3系統以上にして周波数の差が大きい場合と小さい場合の制御の強さを変えることも可能である。

すなわち、周波数が2倍以上違う場合には周波数比較回路の出力852または862が連続してハイレベルになるが、周波数の比が2倍未満になると周波数比較回路の出力852または862が連続してハイレベルになることはない。さらに、1.5倍未満になると、周波数比較回路の出力852または862がハイレベルになるのは、3サイクル以上毎に1回となる。デジタル回路でこれを検出するのは容易である。

そして、図10の実施例では充放電の回路は2系統しか設けていないが、これを3系統設けて、それぞれの系統毎に電流値を変え、周波数の差が大きい場合には最も大きい電流値で充放電し、周波数の差が有るが小さい場合には中程度の電流値で充放電し、位相比較結果によって制御するときには最も小さい電流値で充放電するように構成するのは容易である。4系統以上設けることももちろん可能である。

図11には、チャージポンプ804の図10以外の実施例の1つを示す。この図において、参照符号1100～1107はNMOS、1110～1119はPMOS、1130～1132は容量素子、1140～1143は抵抗素子を示す。また、1150～1154は内部信号およびそのノードを示す。

この回路は、制御信号150の電圧が V_{ss} の電圧に近い場合において、信号854に駆動されて流入する電荷量と信号864に駆動されて流出する電荷量のバランスを保つために、図10の回路を改良した回路である。すなわち、図10の回路において制御信号150の電圧が V_{ss} の電圧に近い場合には、PMOS1011や1012には充分なソースドレイン間電圧がかかるのに対し、NMOS1001や1002のソースドレイン間にかかる電圧は不充分である。したがって、1回の駆動信号によって流出する電荷量は流入する電荷量に比べてかなり小さくなる。これを改善したのが図11の実施例である。

図11の回路は、抵抗素子1140と容量素子1130によるローパスフィルタを介して制御信号150の電圧がノード1150に接続され、この電圧とノード1153の電圧がPMOS1115および1116等によるカレントスイッチで比較されるような構成になっている。そしてその結果をPMOS1118および1119等によるカレントスイッチで増幅し、NMOS1106によるソースフォロワ回路に加える。

そしてそのソースフォロワ回路の出力1152の電圧を抵抗素子1141～1143による抵抗分圧回路で分圧し、ノード1153にフィードバックする。すると、ノード1153の電圧がノード1150の電圧すなわち制御信号150の電圧に等しくなったときに釣り合う。ここで抵抗素子1141と1142の抵抗値が等しくなるように設計しておけば、ノード1152の電圧と制御信号150の電圧の差は制御信号150の電圧とノード1154の電圧の差に略等しくなり、NMOS1107が導通したときに流入する電荷量とNMOS1002が導通したときに流出する電荷量をほぼ等しくできる。なお、この回路が有用であるのは制御信号150の電圧やノード1052の電圧が V_{ss} の電圧に近い場合であるため、信号854で駆動するMOS1107にもNMOSを使用する。

図12には、図8の実施例の構成要素である位相比較器800の具体的な構成の実施例の1つを示す。この回路は特開平09-74352号公報の明細書に開示されている。この回路は、信号850の立ち上がりと信号860の立ち上がりのいずれが先に現れるかをNAND回路1200および1201により構成されたフリップフロップが比較し、その結果をフリップフロップ1202が取り込んで端子151に出力する。

図13には、図8の実施例の構成要素である周波数比較器801の具体的な構成の実施例の1つを示す。この回路も特開平09-74352号公報の明細書に開示されている。この回路は、信号851の立ち上がりと信号861の立ち下がりが交互に現れるか否かを比較し、いずれかが2回以上連続して現れると、連続して現れた側の出力信号852または862がハイレベルになる。

以上述べたPLL回路を使えば、電源電圧が変動したときに発生するジッタの小さい本発明の電圧制御発振器を使いこなすことができる。

図 1 4 には、本発明の P L L 回路を使って構成した半導体集積回路装置の実施例の 1 つについて、その配置を示す。図 1 4 において、参照符号 1 4 0 0 は半導体集積回路装置、1 4 0 1 は本発明の電圧制御発振器を含む P L L 回路の主要部分を搭載する位置、1 4 0 2 ～ 1 4 0 4 はクロック分配回路 8 0 6 を構成するドライバを分散して搭載する位置、1 4 1 0 は外部から供給される基準信号を受ける入力回路を搭載する位置を示す。また、参照符号 1 4 5 0 ～ 1 4 5 3 はこれらの間を接続する配線を示し、1 4 6 0 は各分配先にクロック信号 8 7 0 を供給する配線を示す。

本発明の電圧制御発振器によれば、電源電圧が変動したときに発生するジッタを低減することができる。

また、本発明の P L L 回路によれば、電源電圧が変動したときに発生するジッタの小さい P L L 回路を実現することができる。

また、本発明の電圧制御発振器を使えば、電源電圧が変動したときに発生するジッタが小さいので、電圧制御発振器を含む P L L 回路の構成要素を、電源電圧変動を気にせず半導体集積回路装置内の任意の位置に搭載することができる。

WHAT IS CLAIMED IS:

1. 一端を第1の電源に接続されゲート電極に発振周波数を制御するための電圧が印加される第1のMOSトランジスタと、上記第1のMOSトランジスタの他端と第2の電源の間に接続された発振器と、該発振器と並列に接続された第1の容量素子と、上記第1のMOSトランジスタとは別に上記発振器の発振周波数を制御する付加的制御手段を備えたことを特徴とする電圧制御発振器。

2. 上記付加的制御手段は、1ビットのデジタル信号によって上記発振器の発振周波数を制御するように構成された請求項1の電圧制御発振器。

3. 上記付加的制御手段は、上記発振器の中の信号ノードの1つと上記第2の電源の間に直列に接続された第2の容量素子および第2のMOSトランジスタにより構成された請求項1の電圧制御発振器。

4. 上記発振器は、Pチャネル型のMOSトランジスタおよびNチャネル型のMOSトランジスタを直列に接続したインバータを少なくとも3個備え、上記インバータの出力と入力を順次接続し、その1番目を除く奇数番目のインバータのいずれかの出力を上記1番目のインバータの入力に接続して構成された請求項1の電圧制御発振器。

5. 上記発振器は、Pチャネル型のMOSトランジスタおよびNチャネル型のMOSトランジスタを直列に接続したインバータを3個以上の奇数個備え、上記インバータの出力と入力を順次接続し、その最後のインバータの出力を最初のインバータの入力に接続して構成された請求項1の電圧制御発振器。

6. 周期的なリファレンス信号の位相に追従した位相を持ち、かつ所定の整数倍の周波数を持つ出力信号を発生するPLL回路であり、

上記出力信号を発生するための電圧制御発振器と、

上記電圧制御発振器の出力を分周する分周器と、

上記リファレンス信号の位相に対する上記分周器の出力の位相の進み、遅れを区別する位相検出信号を発する位相比較器と、

上記リファレンス信号の周波数に対して、上記分周器の出力信号の周波数の差異の発生を判別して周波数差判別出力を発する周波数比較器と、

上記位相比較器および上記周波数比較器の出力に応じて電圧が変化するアナログ

制御信号を発する制御回路とを有し、

上記電圧制御発振器は、一端が第1の電源に接続され、ゲート電極に上記アナログ制御信号が接続されたMOSトランジスタと、上記MOSトランジスタと第2の電源の間に接続された発振器と、該発振器に接続された容量素子とを有することを特徴とするPLL回路。

7. 上記制御回路は、上記リファレンス信号の1周期に対応する周期ごとに前記位相比較器および上記周波数比較器の出力に応じた上記アナログ制御信号の電圧制御を行い、かつ、上記周波数比較器が周波数の差異を1回検出したことに対応する1周期内の上記アナログ制御信号の電圧変化は、上記位相比較器の比較結果による1周期内の上記アナログ制御信号の電圧変化より大きいことを特徴とする請求項6のPLL回路。

8. 上記制御回路は、上記リファレンス信号の1周期に対応する周期ごとに前記位相比較器および上記周波数比較器の出力に応じた上記アナログ制御信号の電圧制御を行い、かつ、上記周波数比較器が周波数の差異を検出したことに対応する電圧変化を実行する周期及びこれに続く所定数の周期においては、上記位相比較器の比較結果による電圧変化を禁止する回路手段を有する請求項6のPLL回路。

9. 周期的なリファレンス信号の位相に追従した位相を持ち、かつ、所定の整数倍の周波数を持つ出力信号を発生するPLL回路であり、

上記出力信号を発生するための電圧制御発振器と、

上記電圧制御発振器の出力を分周する分周器と、

上記リファレンス信号の位相に対する上記分周器の出力の位相の進み、遅れを区別する位相検出信号を発する位相比較器と、

上記リファレンス信号の周波数に対して、上記分周器の出力信号の周波数の差異の発生を判別して判別出力を発する周波数比較器と、

少なくとも上記周波数比較器の出力に応動するアナログ制御信号を発生する制御回路を有し、

上記電圧制御発振器は、一端が第1の電源に接続され、ゲート電極に上記アナログ制御信号が接続されたMOSトランジスタと、上記MOSトランジスタと第2の電源の間に接続された発振器と、該発振器と並列に接続された容量素子と、前記位相器か

ら出力する位相検出信号により発振周波数を制御する付加的制御手段とを備えたことを特徴とするPLL回路。

10. 半導体集積回路であって、

電圧制御発振器と、

上記電圧制御発振器の出力を各部回路に分配するクロック分配回路と、

上記クロック分配回路が分配するクロックの1つを分周する分周器と、

周期的なリファレンス信号の位相に対する上記分周器の出力の位相の進み、遅れを区別する位相検出信号を発する位相比較器と、

上記リファレンス信号の周波数に対して、上記分周器の出力信号の周波数の差異の発生を判別して周波数差判別出力を発する周波数比較器と、

上記位相比較器および上記周波数比較器の出力に応じて電圧が変化するアナログ制御信号を発生する制御回路とを有し、

上記電圧制御発振器は、一端が第1の電源に接続され、ゲート電極に上記アナログ制御信号が接続されたMOSトランジスタと、上記MOSトランジスタと第2の電源の間に接続された発振器と、該発振器と並列に接続された容量素子とを有することを特徴とする半導体集積回路。

ABSTRACT OF THE DISCLOSURE

電源電圧が変動したときに発生するジッタの小さいクロック信号を供給できるPLL回路および電圧制御発振器であり、一端に第1の電源(V_{ss})が接続され、ゲート電極に発振周波数の制御のための制御信号が接続されるMOSトランジスタと、上記MOSトランジスタの他端と第2電源(V_{dd})の間に接続された発振器と、上記発振器と並列に接続される容量素子を備え、さらに発振周波数を微少制御する付加的制御手段を備える。